

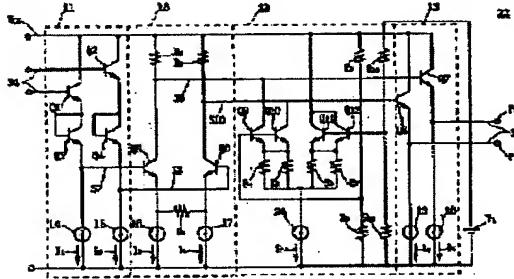
## PLL DEVICE, AMPLIFIER AND INTEGRATED CIRCUIT

**Publication number:** JP8204550  
**Publication date:** 1996-08-09  
**Inventor:** KITAZONO SHINICHI; ISHIKAWA NOBUYUKI  
**Applicant:** SONY CORP  
**Classification:**  
 - International: H03D3/02; H03L7/093; H03D3/00; H03L7/08; (IPC1-7):  
 H03L7/093; H03D3/02  
 - european:  
**Application number:** JP19950027307 19950123  
**Priority number(s):** JP19950027307 19950123

[Report a data error here](#)

### Abstract of JP8204550

**PURPOSE:** To prevent the occurrence of distortion or error owing to fluctuation in power supply voltage in a control input of a voltage controlled oscillator by suppressing a DC voltage fluctuation of the control input owing to the fluctuation in the power supply voltage.  
**CONSTITUTION:** A resistance division ratio of resistors R4, R5 and a resistance division ratio of resistors R6, R7 are selected so that the base potential of transistors(TRs) Q9, Q10 is equal to the base potential of TRs Q11, Q12. A collector current 17/4 is supplied to the TRs Q9, Q10. When a power supply voltage rises by  $\Delta V$ , the base potential of the TRs Q9, Q10 gets higher than that of the TRs Q11, Q12, the collector current of the TRs Q9, Q10 is increased, the voltage drop of a resistor R2 is increased to cancel a DC voltage rise at an output terminal P1 owing to the voltage increase  $\Delta V$ . When the voltage is decreased by  $\Delta V$ , a voltage drop across the resistor R2 is smaller conversely to cancel the DC voltage reduction. Thus, the DC voltage at the output terminal P1 is constant even when the power supply voltage is fluctuated and distortion and an error in a control signal S5 owing to the power supply voltage fluctuation are prevented.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-204550

(43)公開日 平成8年(1996)8月9日

(51) Int.Cl.<sup>5</sup>

識別記号 庁内整理番号

F I

技術表示箇所

HOL 7/093

H03D 3/02

A

H03L 7/08

E

審査請求 未請求 請求項の数 5 FD (全 8 頁)

(21) 出願番号 特願平7-27307

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22)出願日 平成7年(1995)1月23日

(72) 發明者 北國 真一

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(72) 發明者 石川 伸行

東京都品川区北品川6丁目7番35号

東京都品川  
扶子会社内

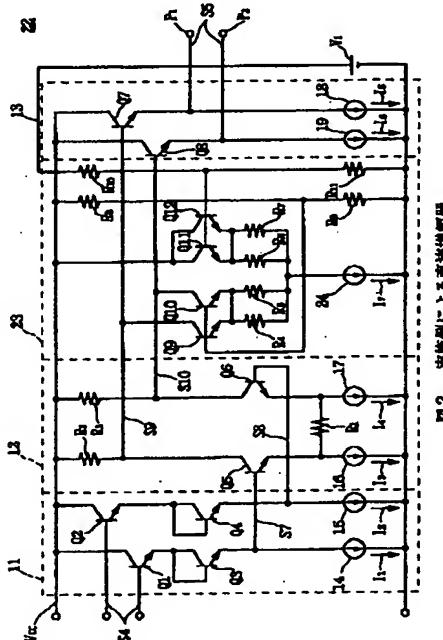
(34) 管理人　森理士　田羽　高基

(54) [発明の名称] PLL装置、增幅器及び集積回路

(57) 【要約】

【目的】本発明は、PLL装置、増幅器及び集積回路において、電圧制御発振器を制御する制御入力に、電源電圧の変動による歪やエラーが発生することを防止し得るようにする。

【構成】直流増幅器(22)に制御電圧補正回路(23)を配設して、電源電圧( $V_{cc}$ )の変動による制御入力(S5)の直流電圧の変動を抑制する。



## 【特許請求の範囲】

【請求項1】制御入力の電圧に応じて発振周波数を制御する電圧制御発振器と、当該電圧制御発振器の発振出力と所定の外部入力との位相を比較する位相比較器と、当該位相比較器の出力を直流的に増幅して上記制御入力を出力する直流増幅器とを有するPLL装置において、

上記直流増幅器に、

電源電圧の変動成分を検出して、当該変動成分に応じて上記制御入力の直流電圧を補正する制御電圧補正回路を具えることを特徴とするPLL装置。

【請求項2】上記直流増幅器は、

コレクタが抵抗を介して電源電圧に接続され、当該コレクタ又は当該抵抗の一部から上記位相比較器の出力に基づいた出力信号を出力する第1のトランジスタが配設された増幅回路を有し、

上記制御電圧補正回路は、

上記抵抗の一部又は全部が負荷となるように接続され、上記電源電圧の変動成分を検出して当該検出結果に応じた電流を上記負荷に流して上記制御入力の直流電圧を補正する第2のトランジスタを有することを特徴とする請求項1に記載のPLL装置。

【請求項3】コレクタが抵抗を介して電源電圧に接続され、当該コレクタ又は当該抵抗の一部から出力信号を出力する第1のトランジスタを有する増幅回路と、  
上記抵抗の一部又は全部が負荷となるように接続され、上記電源電圧の変動成分を検出して当該検出結果に応じた電流を上記負荷に流して上記出力信号の直流電圧を補正する第2のトランジスタを有する電圧補正回路とを具えることを特徴とする増幅器。

【請求項4】制御入力の電圧に応じて発振周波数を制御する電圧制御発振器と、当該電圧制御発振器の発振出力と所定の外部入力との位相を比較する位相比較器と、当該位相比較器の出力を直流的に増幅して上記制御入力を出力する直流増幅器とを有するPLL装置の上記直流増幅器を半導体集積回路内に有する集積回路において、  
上記直流増幅器に、

電源電圧の変動成分を検出して、当該変動成分に応じて上記制御入力の直流電圧を補正する制御電圧補正回路を具えることを特徴とする集積回路。

【請求項5】半導体集積回路内に、

コレクタが抵抗を介して電源電圧に接続され、当該コレクタ又は当該抵抗の一部から出力信号を出力する第1のトランジスタを有する増幅回路と、

上記抵抗の一部又は全部が負荷となるように接続され、上記電源電圧の変動成分を検出して当該検出結果に応じた電流を上記負荷に流して上記出力信号の直流電圧を補正する第2のトランジスタを有する電圧補正回路とを具えることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

## 【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術(図5～図8)

発明が解決しようとする課題(図5～図8)

課題を解決するための手段(図1及び図2)

作用(図1及び図2)

実施例(図1～図4)

発明の効果

【0002】

10 【産業上の利用分野】本発明はPLL装置、増幅器及び集積回路に関し、例えば衛星放送を受信する衛星放送受信装置に適用し得る。

【0003】

【従来の技術】従来、この種の衛星放送受信装置には、位相ロツクループ(以下PLLといふ)方式で復調するものがある。図5に示すように、衛星放送受信装置1は、放送電波をアンテナ部2で受信して第1中間周波数に変換したFM映像信号S1をチューナ部3に与える。チューナ部3は、FM映像信号S1を第2中間周波数(400[MHz]帯)に変換したFM映像信号S2をPLL方式の復調部4に与える。

【0004】復調部4は、FM映像信号S2と、電圧制御発振器(以下VCOといふ)6が出力する発振信号S3とを位相比較器5に与える。位相比較器5は、FM映像信号S2及び発振信号S3の位相差に応じた誤差信号S4を直流増幅器7で増幅して、制御信号S5をVCO6及び映像信号処理部8に与える。

【0005】VCO6の発振周波数は、制御信号S5によつて変化し、位相比較器5に入力されたFM映像信号

30 S2と同じ周波数になるようにPLLが形成される。VCO6が発振信号S3をFM映像信号S2の周波数変化に追随して変化させることにより、制御信号S5の電圧はFM変調された原信号と同一となる。つまり制御信号S5は、FM映像信号S2の復調信号となり、制御信号S5を映像信号処理部8に与えると映像信号S6が得られる。

【0006】図6に示すように、VCO6は、バラクタダイオード9の容量値を制御信号S5の電圧(以下制御電圧といふ)V<sub>cont</sub>で可変して、コイルL<sub>1</sub>及びコンデンサC<sub>1</sub>でなる直列回路の周波数を変化させる。図7に示すように、このときの制御電圧V<sub>cont</sub>及び発振周波数の関係は、発振周波数が増加するに従つて、制御電圧V<sub>cont</sub>が指数関数的に増加し、完全な直線とはならない。この関係を復調部4でのFM映像信号S2の復調に応用する場合、できるだけ直線性の良い部分が動作点に選ばれる。

【0007】図8に示すように、直列増幅器7は、差動の誤差信号S4を入力段11のトランジスタQ1及びQ2に与え、それぞれトランジスタQ3及びQ4でレベル50 シフトして直列動作点を調整した差動出力S7及びS8

を差動増幅段12に与える。差動増幅段12は、差動出力S7及びS8を差動対のトランジスタQ5及びQ6に与え、それぞれのコレクタより差動出力S9及びS10を出力段13に与える。出力段13は、差動出力S9及びS10をそれぞれトランジスタQ7及びQ8に与え、それぞれのエミッタより差動の制御信号S5を出力する。

【0008】因みに、トランジスタQ3～Q8は、それぞれのエミッタが定電流源I4～I9を介して接地ライ\*

$$V_{out1} = V_{cc} - (R_e \times I_s) - V_{BE(Q7)} \quad \dots \dots (1)$$

で求められる。

#### 【0010】

【発明が解決しようとする課題】ところが、上述の(1)式によれば、電源電圧V<sub>cc</sub>が変化すると直流電圧V<sub>out1</sub>も変化することになる。電源電圧V<sub>cc</sub>が変動して直流増幅器7の直流電圧V<sub>out1</sub>が変化すると、動作点が変わって復調信号である制御信号S5が歪んでしまう問題があつた。また、電源電圧V<sub>cc</sub>の変動が直流増幅器7の出力に現れること自体が制御信号S5のエラーとなる問題があつた。

【0011】衛星放送では、映像信号がFM変調されており、30[MHz]程度の周波数偏移がある。従つて電源電圧V<sub>cc</sub>(動作電圧)を5[V]で設計する場合、VC06の特性には20[MHz/V]程度の周波数変化が要求され、直流増幅器7の出力には、2[V]程度の電圧区間で線形性が要求される。

【0012】電源電圧V<sub>cc</sub>の変動から逃れるには、一般には電圧レギュレータを付加する。ところが、電圧レギュレータは入力電圧と出力電圧の間に電圧降下を発生させる。従つて、電源電圧V<sub>cc</sub>が5[V]のとき、2

[V]分の線形性を満足するには、電圧余裕がなかつた。このため電圧レギュレータ等で電源電圧V<sub>cc</sub>の変動を抑圧することは難しかつた。

【0013】本発明は以上の点を考慮してなされたもので、電圧制御発振器を制御する制御入力に、電源電圧の変動による歪やエラーが発生することを防止し得るPLL装置、増幅器及び集積回路を提案しようとするものである。

#### 【0014】

【課題を解決するための手段】かかる課題を解決するため本発明においては、制御入力(S5)の電圧に応じて発振周波数を制御する電圧制御発振器(6)と、電圧制御発振器(6)の発振出力(S3)と所定の外部入力(S2)との位相を比較する位相比較器(5)と、位相比較器(5)の出力(S4)を直流通じて增幅して制御入力(S5)を出力する直流通幅器(22)とを有するPLL装置(21)において、直流通幅器(22)に、電源電圧(V<sub>cc</sub>)の変動成分を検出して、変動成分に応じて制御入力(S5)の直流電圧を補正する制御電圧補正回路(23)を設ける。

\*ンに接続され、それぞれ定電流I<sub>1</sub>～I<sub>9</sub>を流す。またトランジスタQ5及びQ6は、エミッタが抵抗R<sub>1</sub>を介して共通に接続され、コレクタがそれぞれ抵抗R<sub>2</sub>及びR<sub>3</sub>を介して電源電圧V<sub>cc</sub>に接続されている。

【0009】ここで、トランジスタQ7のベースエミッタ間電圧をV<sub>BE(Q7)</sub>とすると、出力段13の一方の出力端子P<sub>1</sub>に現れる直流電圧V<sub>out1</sub>は、次式、

【数1】

回路(23)を設ける。

【0015】また本発明においては、コレクタが抵抗(R<sub>1</sub>)を介して電源電圧(V<sub>cc</sub>)に接続され、コレクタ又は抵抗(R<sub>1</sub>)の一部から出力信号(S9)を出力する第1のトランジスタ(Q5)を有する増幅回路(12)と、抵抗(R<sub>1</sub>)の一部又は全部が負荷となるように接続され、電源電圧(V<sub>cc</sub>)の変動成分を検出して検出結果に応じた電流を負荷(R<sub>1</sub>)に流して出力信号(S9)の直流電圧を補正する第2のトランジスタ(Q9)を有する電圧補正回路(23)とを設ける。

【0016】さらに本発明においては、制御入力(S5)の電圧に応じて発振周波数を制御する電圧制御発振器(6)と、電圧制御発振器(6)の発振出力(S3)と所定の外部入力(S2)との位相を比較する位相比較器(5)と、位相比較器(5)の出力(S4)を直流通じて增幅して制御入力(S5)を出力する直流通幅器(22)とを有するPLL装置(21)の直流通幅器(22)を半導体集積回路内に有する集積回路において、直

30 流増幅器(22)に、電源電圧(V<sub>cc</sub>)の変動成分を検出して、変動成分に応じて制御入力(S5)の直流電圧を補正する制御電圧補正回路(23)を設ける。

【0017】さらに本発明においては、半導体集積回路内に、コレクタが抵抗(R<sub>1</sub>)を介して電源電圧(V<sub>cc</sub>)に接続され、コレクタ又は抵抗(R<sub>1</sub>)の一部から出力信号(S9)を出力する第1のトランジスタ(Q5)を有する増幅回路(12)と、抵抗(R<sub>1</sub>)の一部又は全部が負荷となるように接続され、電源電圧(V<sub>cc</sub>)の変動成分を検出して検出結果に応じた電流を負荷(R<sub>1</sub>)に流して出力信号(S9)の直流電圧を補正する第2のトランジスタ(Q9)を有する電圧補正回路(23)とを設ける。

【0018】

【作用】直流通幅器(22)に制御電圧補正回路(23)を配設して、電源電圧(V<sub>cc</sub>)の変動による制御入力(S5)の直流電圧の変動を抑制することにより、電圧制御発振器(6)を制御する制御入力(S5)に、電源電圧(V<sub>cc</sub>)の変動による歪やエラーが発生することを未然に防止することができる。

【0019】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0020】図5との対応部分に同一符号を付して示す図1において、20は全体として衛星放送を受信する衛星放送受信装置を示し、従来の復調部4に代えて、集積回路構成でなる復調部21が配設されている。復調部21は、従来の直流増幅器7に代えて、直流増幅器22が配設されている。図2に示すように、直流増幅器22は、従来の構成に加えて、変動抑圧段23が配設されており、差動増幅段12の差動出力S9及びS10を変動抑圧段23を介して出力段13に与える。

【0021】変動抑圧段23は、エミッタがそれぞれ共通に接続されたトランジスタQ9及びQ10とQ11及びQ12とでなる差動対が配設されており、電源電圧V<sub>cc</sub>と基準となる定電圧V<sub>I</sub>とに基づいて比較結果に応じたコレクタ電流をトランジスタQ9及びQ10に流す。トランジスタQ9及びQ10の共通エミッタは、抵抗R<sub>1</sub>及びR<sub>2</sub>でなる並列回路と定電流I<sub>1</sub>を流す定電流源24とを介して接地ラインに接続されている。トランジスタQ11及びQ12の共通エミッタは、抵抗R<sub>3</sub>及びR<sub>4</sub>でなる並列回路と定電流源24とを介して接地ラインに接続されている。

【0022】トランジスタQ9のコレクタは、トランジスタQ5のコレクタとトランジスタQ7のベースとに接\*

$$V_{out} = V_{cc} - (R_1 \times I_1) - (R_2 \times \frac{I_1}{4}) - V_{BE(Q7)} \quad \dots \dots (2)$$

で求められる。

【0026】ここで、電源電圧V<sub>cc</sub>が△Vだけ上がった場合、トランジスタQ9及びQ10のベース電位がトランジスタQ11及びQ12のベース電位に比して高くなる。これにより、トランジスタQ9及びQ10のコレクタ電流が増えて、トランジスタQ9のコレクタ電流による抵抗R<sub>1</sub>の電圧降下が大きくなる。従つて、△Vの増加による直流電圧V<sub>out</sub>の上昇が打ち消される。

【0027】これに対して、電源電圧V<sub>cc</sub>が△Vだけ下がった場合、トランジスタQ9のコレクタ電流が減つて、抵抗R<sub>1</sub>の電圧降下が小さくなる。これにより、△Vの減少による直流電圧V<sub>out</sub>の低下が打ち消される。従つて、図3の実線に示すように、出力端子P<sub>1</sub>の直流電圧V<sub>out</sub>は、電源電圧V<sub>cc</sub>が変動しても、例えば約4.4[V]～5.6[V]で一定となる。結果として、復調部21は、電源電圧V<sub>cc</sub>の変動による制御信号S5の歪やエラーを未然に防止することができる。因みに、破線は、従来の直流増幅器7の出力端子の直流電圧を示し、電源電圧V<sub>cc</sub>の増加に比例して直線的に増加する。

【0028】以上の構成によれば、直流増幅器22に変動抑圧段23を配設して、電源電圧V<sub>cc</sub>の変動による制御信号S5の直流電圧の変動を抑制することにより、VCO6を制御する制御信号S5に、電源電圧V<sub>cc</sub>の変動

\* 続され、差動出力S9が与えられる。トランジスタQ10のコレクタは、トランジスタQ6のコレクタとトランジスタQ8のベースとに接続され、差動出力S10が与えられる。またトランジスタQ9及びQ10の共通ベースは、一端が電源電圧V<sub>cc</sub>に接続された抵抗R<sub>1</sub>と、一端が接地ラインに接続された抵抗R<sub>2</sub>とでなる直列回路の接続中点に接続されて、電源電圧V<sub>cc</sub>の変動を検出する。

【0023】トランジスタQ11及びQ12の共通コレクタは、電源電圧V<sub>cc</sub>に接続されている。またトランジスタQ11及びQ12の共通ベースは、一端が定電圧V<sub>I</sub>に接続された抵抗R<sub>3</sub>と、一端が接地ラインに接続された抵抗R<sub>4</sub>とでなる直列回路の接続中点に接続され、基準電圧が設定される。

【0024】以上の構成において、電源電圧V<sub>cc</sub>が5[V]のとき、トランジスタQ9及びQ10のベース電位と、トランジスタQ11及びQ12のベース電位とが同一になるように、抵抗R<sub>1</sub>とR<sub>2</sub>の抵抗分割比と、抵抗R<sub>3</sub>、R<sub>4</sub>の抵抗分割比とを設定する。

【0025】この設定状態において、トランジスタQ9及びQ10には、それぞれ1/4のコレクタ電流が流れる。このときの出力端子P<sub>1</sub>の直流電圧V<sub>out</sub>は、次式、

【数2】

$$I_1 = \frac{V_{cc} - V_{BE(Q7)}}{4} \quad \dots \dots (2)$$

による歪やエラーが発生することを未然に防止することができる。

【0029】またFM復調に用いない場合は、電源電圧V<sub>cc</sub>の変動によるVCO6の発振周波数の変動を打ち消すことができる。電源電圧V<sub>cc</sub>が低く、電圧レギュレータ等によって電源電圧V<sub>cc</sub>の変動を抑圧できない場合には、特に有効となる。

【0030】なお上述の実施例においては、出力段13に並列に接続された変動抑圧段23に差動出力S9及びS10を与えることによって、電源電圧V<sub>cc</sub>の変動による差動出力S9及びS10の変動を抑圧する場合について述べたが、本発明はこれに限らず、差動増幅段12に供給する電源電圧を調整することによって、電源電圧V<sub>cc</sub>の変動による差動出力S9及びS10の変動を抑圧する場合にも適用し得る。この場合にも上述と同様の効果を得ることができる。

【0031】図7に示すように、直流増幅器25は、直流増幅器22の構成のうち差動増幅段12及び変動抑圧段23に代えて、差動増幅段26及び変動抑圧段27が配設されている。差動増幅段26は、差動増幅段12の抵抗R<sub>1</sub>及びR<sub>2</sub>を抵抗R<sub>11</sub>を介して電源電圧V<sub>cc</sub>に接続する。変動抑圧段27は、トランジスタQ9及びQ10とトランジスタQ11及びQ12とに代えて、それぞ

れトランジスタQ13とトランジスタQ14とが配設されている。また変動抑圧段27は、抵抗R<sub>1</sub>及びR<sub>2</sub>でなる並列回路と抵抗R<sub>3</sub>及びR<sub>4</sub>でなる並列回路とに代えて、それぞれ抵抗R<sub>11</sub>と抵抗R<sub>12</sub>とが配設されている。

【0032】トランジスタQ13には、また差動増幅段26の抵抗R<sub>1</sub>及びR<sub>2</sub>と抵抗R<sub>11</sub>及びR<sub>12</sub>との接続中点の出力が与えられる。これにより、変動抑圧段27は、設定電圧と比較した結果に応じたコレクタ電流をトランジスタQ13に流して差動出力S9及びS10の変動を防止することができる。

【0033】また上述の実施例においては、トランジスタQ9～12をNPN形で構成する場合について述べたが、本発明はこれに限らず、トランジスタQ9～12をPNP形で構成する場合にも適用できる。

【0034】

【発明の効果】上述のように本発明によれば、直流増幅器に制御電圧補正回路を配設して、電源電圧の変動による制御入力の直流電圧の変動を抑制することにより、電圧制御発振器を制御する制御入力に、電源電圧の変動による歪やエラーが発生することを未然に防止し得るPLL装置、増幅器及び集積回路を実現できる。

【図面の簡単な説明】

\* 【図1】本発明によるPLL装置、増幅器及び集積回路の一実施例による衛星放送受信装置を示す接続図である。

【図2】実施例による直流増幅器を示す接続図である。

【図3】実施例による電源電圧変動時の出力電圧と、従来の電源電圧変動時の出力電圧を示す略線図である。

【図4】他の実施例による直流増幅器を示す接続図である。

【図5】従来の衛星放送受信装置の説明に供する接続図である。

【図6】一般的なVCOの構成を示す接続図である。

【図7】VCOの制御電圧対周波数特性を示す曲線図である。

【図8】従来の直流増幅器の構成を示す接続図である。

【符号の説明】

1、20…衛星放送受信装置、2…アンテナ部、3…チューナ部、4、21…復調部、5…位相比較器、6…VCO、7、22、25…直流増幅器、8…映像信号処理部、9…パラクタダイオード、11…入力段、12、26…差動増幅段、13…出力段、14～19、24…定電流源、23、27…変動抑圧段。

\*

【図1】

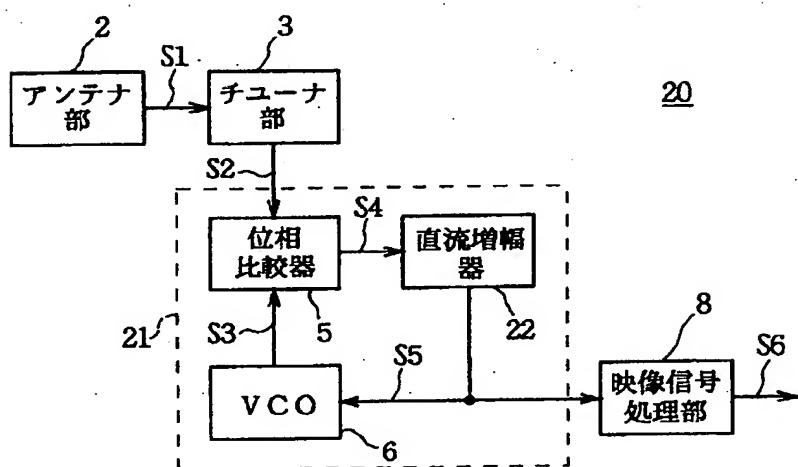
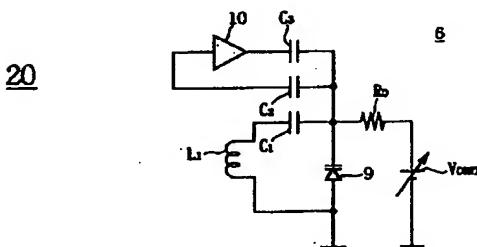


図1 実施例による衛星放送受信装置

【図6】



【図3】

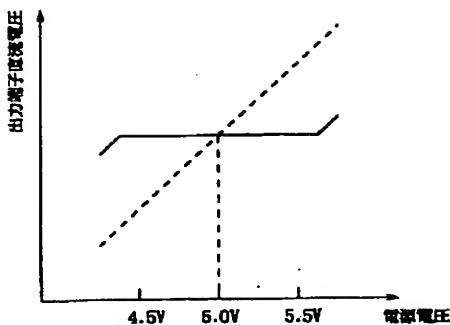


図3 電源電圧変動時の出力電圧

【図2】

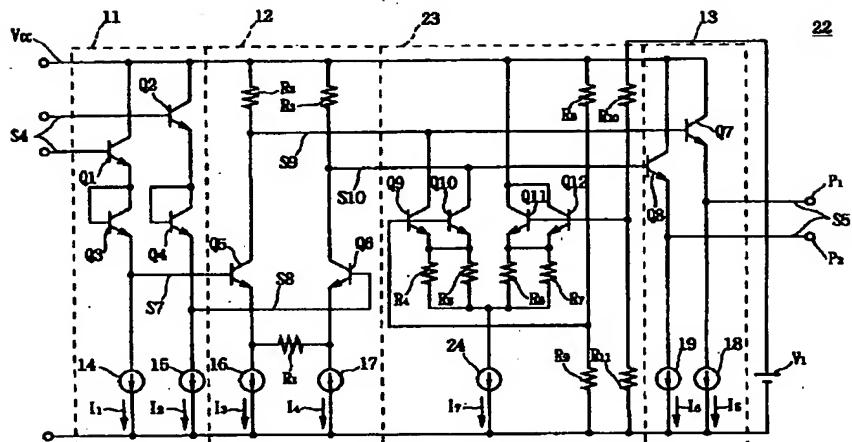


図2 実施例による直流増幅器

【図4】

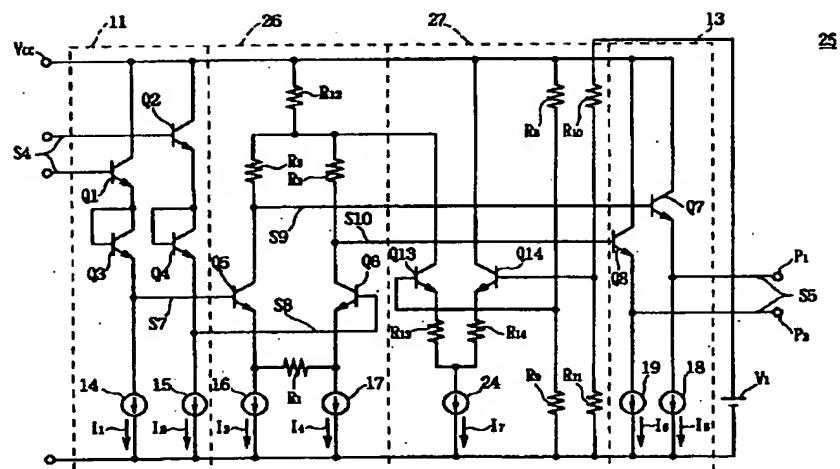


図4 他の実施例による直流増幅器

【図5】

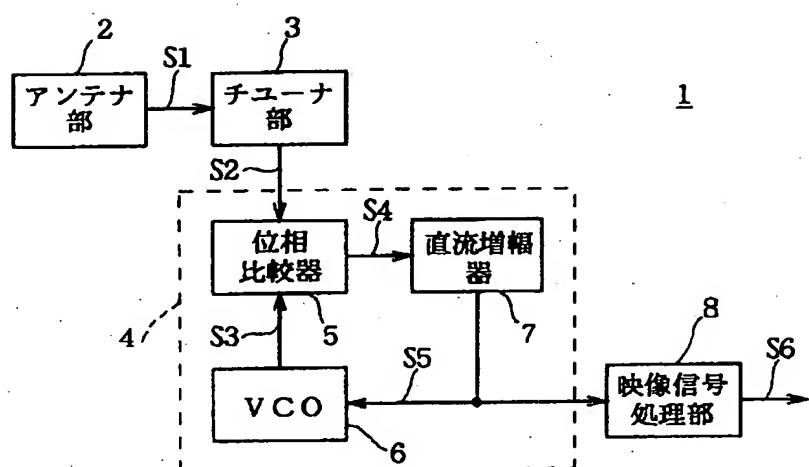


図5 従来の衛星放送受信装置

[図8]

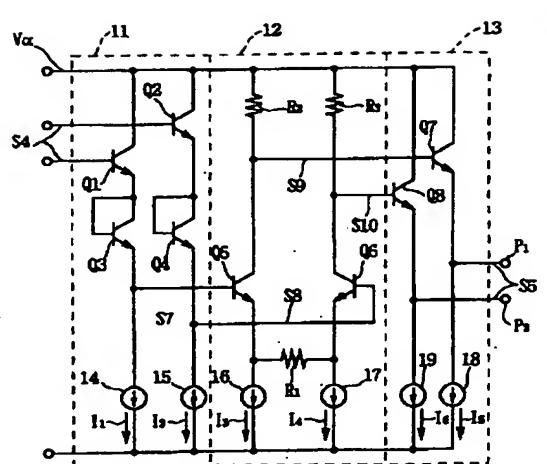


図8 従来の直流増幅器